

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-108333

(43)Date of publication of application : 19.05.1987

(51)Int.Cl.

G06F 9/34

G06F 9/42

G06F 9/46

(21)Application number : 60-249615

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.11.1985

(72)Inventor : SUGITA MITSURU

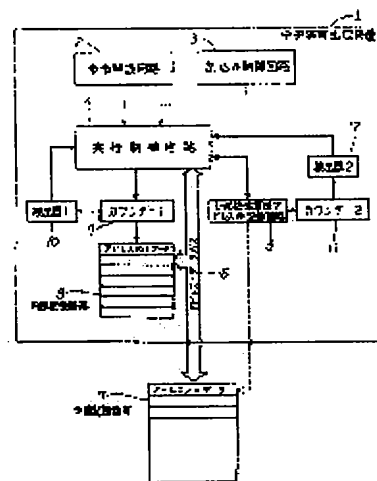
HANAMURA KOICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To execute easily processing, and also to end the processing in a short time by providing an internal storing circuit having suitable capacity in a semiconductor device, and using an external storage area, when this internal storing circuit has been filled with addresses or data to be saved.

CONSTITUTION: The first counter 9 executes +1 or -1, whenever an address or data is written on or read-out from a circuit 8, and displays the total number of the addresses or data which have been stored in the circuit 8. The first detector 10 detects a point in which a counting value of the counter 9 shows the full capacity of the circuit 8, and after a detecting signal has been outputted, an execution controlling circuit 4 saves the content of its register in an external storage area 7. The second counter 11 is brought to +1 or -1, whenever an address or data is written on or read-out from the area 7, and displays the total number of the addresses or data which have been saved in the area 7. The second detector 12 detects a point in which a counting value of the counter 11 is '0', and after a '0' detecting signal has been outputted, the controlling circuit 4 reads out the address or the data from the circuit 8.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭62-108333

⑤ Int. Cl.⁴G 06 F 9/34
9/42
9/46

識別記号

3 4 0
3 3 0
3 1 0

庁内整理番号

7361-5B
7361-5B
C-8120-5B

④ 公開 昭和62年(1987)5月19日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭60-249615

⑱ 出 願 昭60(1985)11月6日

⑲ 発 明 者 杉 田

充

伊丹市瑞原4丁目1番地 三菱電機セミコンダクタソフト
ウェア株式会社内

⑲ 発 明 者 花 村

公 一

伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所
内

⑳ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄

外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

中央演算処理装置内のレジスタに格納されているアドレス又はデータを一時退避する命令が実行されることのある半導体において、

この半導体装置内に設けられ、上記退避するアドレス又はデータを一時記憶し、この記憶したアドレス又はデータを後入れ先出し方式で読出すことができる内部記憶回路、

上記半導体装置外に設けられ、上記退避するアドレス又はデータを一時記憶し、この記憶したアドレス又はデータを後入れ先出し方式で読出すことができる外部記憶領域、

上記内部記憶回路へ一つのアドレス又はデータを書込むごとに数値1が加算され、上記内部記憶回路から一つのアドレス又はデータを読出すごとに数値1が減算される第1のカウンタ、

この第1のカウンタの内容により上記内部記憶回路への書込み可能領域が無くなったことを検出する第1の検出器、

この第1の検出器が上記内部記憶回路への書込み可能領域が無くなったことを検出した場合は、其の後に発生した退避すべきアドレス又はデータは上記外部記憶領域に書込むよう制御する実行制御回路、

上記退避すべきアドレス又はデータが最後に書込まれた上記外部記憶領域の番地を記憶する外部記憶領域のアドレス記憶回路、

上記外部記憶領域へ一つのアドレス又はデータを書込むごとに数値1が加算され、上記外部記憶領域から一つのアドレス又はデータを読出すごとに数値1が減算される第2のカウンタ、

この第2のカウンタの内容により上記外部記憶領域に退避中のアドレス又はデータが無くなったことを検出する第2の検出器、

この第2の検出器が上記外部記憶領域に退避中のアドレス又はデータが無くなったことを検出した場合は、其の後のアドレス又はデータの読出しは上記内部記憶回路から読出すよう上記実行制御回路で制御する手段、

を備えたことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体装置で構成される中央演算処理装置のスタック操作に関するものである。

中央演算処理装置でプログラムを実行する場合、分岐命令が読出され又は割込み制御回路からの割込みによってプログラムが分岐する場合、分岐前のプログラムによってレジスタに格納されているアドレス又はデータを一時退避してそのレジスタを分岐後のプログラムの実行の為に使用し、分岐が終って、もとのプログラムに復帰するときに先に退避しておいたアドレス又はデータを元のレジスタに戻さなければならぬ。

また、分岐したプログラムを実行中に更に次の

が記憶されているので、分岐の前にこれらアドレス又はデータを退避しておくことが必要である。

この場合、実行制御回路(4)は現時点で、実行制御回路(4)内のレジスタに格納されている内容を、アドレス・データバス(6)を介して外部記憶領域(7)に書込み、この書込んだ外部記憶領域(7)内の番地を外部記憶領域アドレス記憶回路(5)へ記憶する。外部記憶領域(7)へ記憶したアドレス又はデータを読出するときは、外部記憶領域アドレス記憶回路(5)に記憶している番地から始めて、外部記憶領域(7)へ格納したアドレス又はデータの新しい方から読出して実行制御回路(4)内のレジスタに戻す。すなわち、この場合、外部記憶領域(7)は後入れ先出し(Last-in-first-out)のメモリとして用いられる。

〔発明が解決しようとする問題点〕

従来の半導体装置は以上のように構成されているので、アドレス又はデータの退避の必要が発生するたびに外部記憶領域との間でデータの入出力を必要とし多くの時間がかかるという問題点があ

分岐が行われアドレス又はデータの一時退避が発生することがある。一時退避するアドレス又はデータの退避先のメモリ領域を、そのメモリ領域への書込み及び読出しの順序から見てスタックと称することがあり、このような退避と復旧操作をスタック操作という。

〔従来の技術〕

第2図は中央演算処理装置を構成する従来の半導体装置の一例を示すブロック図で、図において(1)は中央演算処理装置、(2)は命令解読回路、(3)は割込み制御回路、(4)は実行制御回路、(5)は外部記憶領域のアドレス記憶回路、(6)はアドレス・データバス、(7)は外部記憶領域である。

次に動作について説明する。実行制御回路(4)がプログラムの実行中に命令解読回路(2)で解読された命令が分岐命令である場合、又は割込み制御回路(3)を介して割込み信号が入力され、この割込みを処理するプログラムへ分岐する場合、実行制御回路(4)内のレジスタ(図示せず)には分岐前のプログラムを実行していた時のアドレス又はデータ

った。

この発明は上記のような問題点を解決するためになされたもので、アドレス又はデータの退避の場合もその復帰の場合も簡単に短時間で処理することのできる半導体装置を得ることを目的としている。

〔問題点を解決するための手段〕

この発明では、中央演算処理装置を構成する半導体装置内に適宜な容量の内部記憶回路を設け、退避すべきアドレス又はデータがこの内部記憶回路一杯になった時に外部記憶領域を用いるようにした。

〔作用〕

中央演算処理装置内で退避すべきアドレス又はデータは、多くの場合当該装置内の内部記憶回路に退避させればよいことになるので、処理が容易で、かつ短時間に終了することができる。

〔実施例〕

以下この発明の実施例を図面について説明する。第1図はこの発明の一実施例を示すブロック図で、

図において第2図と同一符号は同一又は相当部分を示し、(8)は後入れ先出し方式で読出される内部記憶回路、(9)は第1のカウンタ、(10)は第1の検出器、(11)は第2のカウンタ、(12)は第2の検出器である。

第1のカウンタ(9)は初期化のときリセットされ、内部記憶回路(8)に一つのアドレス又はデータが書込まれるごとに数値1が加算され、内部記憶回路(8)から一つのアドレス又はデータが読出されるごとに数値1が減算されて、内部記憶回路(8)に格納されているアドレス又はデータの総数を表し、第1の検出器(10)はカウンタ(9)の計数値が内部記憶回路(8)の全容量を示す点を検出する。第1の検出器(10)から検出信号が出力された後は、実行制御回路(4)はそのレジスタの内容を外部記憶領域(7)に退避する。

第2のカウンタ(11)は初期化のときリセットされ、外部記憶領域に一つのアドレス又はデータが書込まれるごとに数値1が加算され、外部記憶領域(7)から一つのアドレス又はデータが読出される

ごとに数値1が減算されて、外部記憶領域(7)に退避中のアドレス又はデータの総数を表し、第2の検出器(12)はカウンタ(11)の計数値が0である点を検出する。第2の検出器(12)から検出信号が出力された後は、実行制御回路(4)は内部記憶回路(8)から退避したデータ又はアドレスを読出す。

なお上記実施例では外部記憶領域アドレス記憶回路(5)の外に第2のカウンタ(11)を設けたが、アドレス又はデータを退避すべき外部記憶領域(7)の先頭番地を定めておけば、外部記憶領域のアドレス記憶回路(5)の内容を検出することによりカウンタ(11)を省略することができる。従ってこの明細書において言う第2のカウンタは上述のようにしてカウンタ(11)を省略した場合の外部記憶領域のアドレス記憶回路(5)をも含むものとする。

〔発明の効果〕

以上のようにこの発明によれば、アドレス又はデータを退避させ、復帰させる大部分の場合において、その処理を実行する実行制御回路と同一の半導体装置内で処理することができるので、高速

かつ容易に処理することができる。

4. 図面の簡単な説明

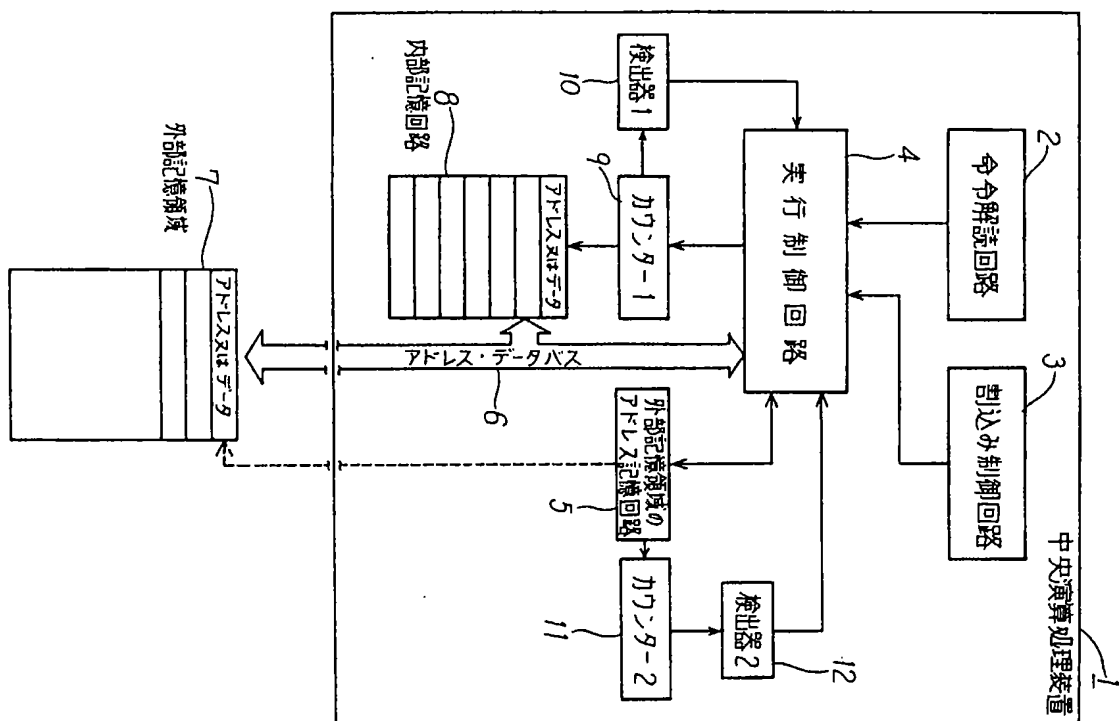
第1図はこの発明の一実施例を示すブロック図、第2図は中央演算処理装置を構成する従来の半導体装置の一例を示すブロック図。

(1)は中央演算処理装置、(4)は実行制御回路、(5)は外部記憶領域のアドレス記憶回路、(6)はアドレス・データバス、(7)は外部記憶領域、(8)は内部記憶回路、(9)は第1のカウンタ、(10)は第1の検出器、(11)は第2のカウンタ、(12)は第2の検出器。

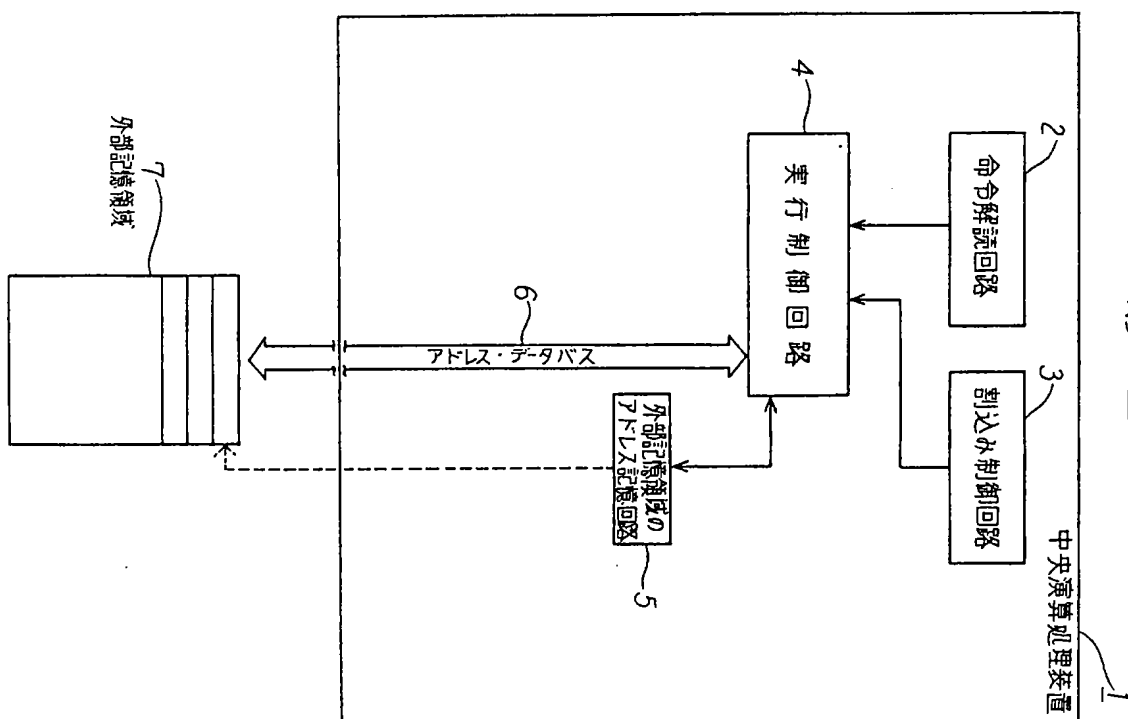
尚、各図中同一符号は同一又は相当部分を示す。

代理人 大 岩 増 雄

第1図



第2図



手 続 補 正 書 (自 発)
昭和 61 年 4 月 2 日

特許庁長官殿

1. 事件の表示 特願昭 60-249615 号

2. 発明の名称 半 導 体 装 置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)

5. 補正の対象

- (1) 明細書の「特許請求の範囲」の欄
- (2) 明細書の「発明の詳細な説明」の欄
- (3) 明細書の「図面の簡単な説明」の欄
- (4) 図 面

行目乃至オ15行目にそれぞれ「領域のアドレス」とあるをいずれも「領域アドレスの」と訂正する。

- (8) 明細書オ9頁オ6行目「(4)は」とあるを「(2)は命令解読回路、(3)は割込み制御回路、(4)は」と訂正する。
- (9) 同書オ9頁オ7行目「領域のアドレス」とあるを「領域アドレスの」と訂正する。
- (10) オ1図及びオ2図を添付別図のとおり訂正する。

7. 添付書類の目録

- (1) 訂正した特許請求の範囲 …… 1 通
- (2) 訂正したオ1図及びオ2図 …… 1 通

(以上)

6. 補正の内容

- (1) 明細書の特許請求の範囲を別紙のとおり訂正する。
- (2) 明細書オ4頁オ12行目「領域のアドレス」とあるを「領域アドレスの」と訂正する。
- (3) 同書オ5頁オ6行目乃至オ7行目「に書き込み……へ記憶する。」とあるを「の、外部記憶領域アドレスの記憶回路(5)の内容を1減算した番地に書き込み、減算された値を外部記憶領域アドレスの記憶回路に記憶する。」と訂正する。
- (4) 同書オ5頁オ9行目「記憶回路(5)」とあるを「の記憶回路(5)」と訂正する。
- (5) 同書オ5頁オ12行目「レジスタに戻す。」とあるを「レジスタに戻すと同時に、外部記憶領域アドレスの記憶回路(5)の内容を1加算する。」と訂正する。
- (6) 同書オ8頁オ7行目「領域アドレス」とあるを「領域のアドレス」と訂正する。
- (7) 同書オ8頁オ10行目乃至オ11行目及びオ14

別 紙

2. 特許請求の範囲

中央演算処理装置内のレジスタに格納されているアドレス又はデータを一時退避する命令が実行されることのある半導体において、

この半導体装置内に設けられ、上記退避するアドレス又はデータを一時記憶し、この記憶したアドレス又はデータを後入れ先出し方式で読出すことができる内部記憶回路、

上記半導体装置外に設けられ、上記退避するアドレス又はデータを一時記憶し、この記憶したアドレス又はデータを後入れ先出し方式で読出すことができる外部記憶領域、

上記内部記憶回路へ一つのアドレス又はデータを書込むごとに数値1が加算され、上記内部記憶回路から一つのアドレス又はデータを読出すごとに数値1が減算される第1のカウンタ、

この第1のカウンタの内容により上記内部記憶回路への書き込み可能領域が無くなったことを検出する第1の検出器、

この第1の検出器が上記内部記憶回路への書き込み可能領域が無くなったことを検出した場合は、其の後に発生した退避すべきアドレス又はデータについては、上記外部記憶領域に書き込むよう制御する実行制御回路、

上記退避すべきアドレス又はデータが最後に書込まれた上記外部記憶領域の番地を記憶する外部記憶領域アドレスの記憶回路、

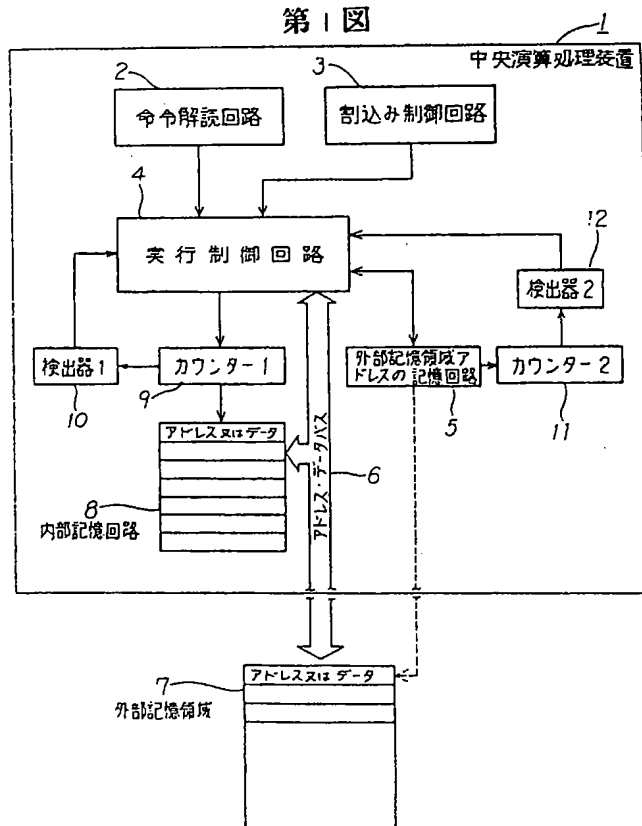
上記外部記憶領域へ一つのアドレス又はデータを書込むごとに数値1が加算され、上記外部記憶領域から一つのアドレス又はデータを読出すごとに数値1が減算される第2のカウンタ、

この第2のカウンタの内容により上記外部記憶領域に退避中のアドレス又はデータが無くなったことを検出する第2の検出器、

この第2の検出器が上記外部記憶領域に退避中のアドレス又はデータが無くなったことを検出した場合は、其の後のアドレス又はデータの読出し

は上記内部記憶回路から読出すよう上記実行制御回路で制御する手段、を備えたことを特徴とする半導体装置。

第1図



第2図

